

(7) Japanese Patent Application Laid-Open No. 58-56450 (1983):
"COMPLEMENTARY MOS SEMICONDUCTOR DEVICE"

The following is an extract relevant to the present application.

5

A CMOS transistor including a nitride silicon film 9 having a thickness of approximately 800 Å on a silicon dioxide film 8 on gate electrodes 6 and 7 on a bulk substrate.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—56450

⑬ Int. Cl.³
H 01 L 27/08
29/78

識別記号

庁内整理番号
6370—5F
7377—5F

⑭ 公開 昭和58年(1983)4月4日

発明の数 1
審査請求 未請求

(全 4 頁)

⑯ 相補型MOS半導体装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑰ 特 願 昭56—155682
⑱ 出 願 昭56(1981)9月30日
⑲ 発 明 者 土田勝三

⑰ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

相補型MOS半導体装置

2. 特許請求の範囲

Pチャンネルトランジスタの形成されるPチャンネル能動領域とNチャンネルトランジスタの形成されるNチャンネル能動領域とが絶縁領域により分離された相補型MOS半導体装置において、前記Nチャンネル能動領域の表面の絶縁膜に設けられたソースまたはドレイン電極部用としてのコンタクト孔を通して、耐酸化性絶縁膜で覆われた前記Pチャンネル能動領域とは独立に形成された前記コンタクト孔形成前に既に形成されているNチャンネルトランジスタのソースまたはドレインとしての第1のN型半導体層よりも深い第2のN型半導体層を備えていることを特徴とする相補型MOS半導体装置。

3. 発明の詳細な説明

本発明は、相補型MOS半導体装置(以下CMOSと呼ぶ)に関し、特にNチャンネルトランジスタのソースまたはドレイン領域のPN接合リーク減少に関するものである。

従来、相補型MOS半導体装置では、PチャンネルおよびNチャンネルトランジスタのソースまたはドレインの電極部に対するコンタクト孔を形成した後、例えば、通常、N型の半導体層の接合部リーク電流低減のために行なわれるコンタクト開孔部からのN型不純物(例えばリン)拡散等の手段をとると、PチャンネルトランジスタのP型半導体層表面にP-N接合が形成されてしまい接合不良になる。

このために、従来のCMOSにおいては、Nチャンネルトランジスタのソースまたはドレインとしての電極部に対するコンタクト孔を、能動領域と絶縁領域の境界に対して十分マージンを見込まなければならない。従って、装置の設計寸法が大きくなり、最近の相補型MOS半導体装置の高密度

酸化に、大きな助けになっていた。

本発明の目的は、上記欠点を除き、集積度が高く、装設寸法が小さい相補型MOS半導体装置を提供することにある。

本発明の相補型MOS半導体装置は、Nチャネルトランジスタの形成されるNチャネル能動領域の表面の絶縁膜に設けられたソースまたはドレイン電極部用としてのコンタクト孔を通して、耐酸化性絶縁膜で覆われたPチャネル能動領域とは独立に形成された、前記コンタクト孔形成前に既に形成されているNチャネルトランジスタのソースまたはドレイとしての第1のN型半導体層よりも深い第2のN型半導体層を備えている構成を有する。

つぎに本発明を実施例により説明する。

第1図ないし第8図は本発明の一実施例における製造工程を説明するための断面図である。まず、第1図のように、N型シリコン基板1の一主面上に、シリコン基板1と逆の導電性を有するP型半導体層2（以下Pウェルと呼ぶ）を形成する。

Nチャネル能動領域上の二酸化ケイ素膜10を除去する。このとき、Pチャネル能動領域は、酸化シリコン膜9が露出した状態になっている。次に、シリコン基板1と逆導電性のP型不純物、例えばボロンを打込みエネルギー70keVでイオン注入してP型半導体層11、11'を形成する。このとき、Nチャネル能動領域には、600Åの二酸化ケイ素膜8および800Åの酸化シリコン膜9ならびに5000Åの二酸化ケイ素膜10があるため、不純物のボロンイオンは注入されない。次に、Nチャネル能動領域上残された二酸化ケイ素膜10を除去して、全面に酸化シリコン膜9を露出させる。次に、フォトリソスト技術を用いて、第5図のように、Nチャネル能動領域上の酸化シリコン膜9および二酸化ケイ素膜8を除去して、Pウェル2の表面を露出させる。次に、Pウェル2と逆導電性のN型不純物、例えばヒ素を打込みエネルギー70keVでイオン注入して第1のN型半導体層12を形成する。このとき、Pチャネル能動領域には、600Åの二酸化ケイ素膜8、800Åの酸化シ

リコン膜9があるため、不純物のヒ素イオンは注入されない。次に第6図に示すように、第1のN型半導体層12並びにゲート電極7の表面を膜厚1000Å程度酸化して、二酸化ケイ素膜13を形成した後、ゲート電極6、7を絶縁するために、全面に二酸化ケイ素膜14を、膜厚5000Å程度気相成長させる。つぎに、第7図のように、各電極部をとりだすために、フォトリソスト技術を用いて、P型及びN型半導体層11、12上にコンタクト孔15、16を同時に開孔する。このとき、N型半導体層12の上のコンタクト孔16は、少なくとも1つ以上、絶縁分離領域3にまたがって開孔されている。コンタクト孔15は酸化シリコン膜9が、また、コンタクト孔16は、第1のN型半導体層12が露出した状態になっている。次に、第8図のように、シリコン基板1の一面を酸化して、膜厚約400Åの薄いゲート酸化膜4を成長させ、ゲート電極及び相互配線を形成するためのポリシリコン膜5を約6000Åの膜厚で成長させる。次に第3図のように、ポリシリコン膜5にシリコン基板1と同じ導電型のN型不純物イオン、例えばリンを拡散して、N型導電性をもたせる。次にフォトリソスト技術を用いて、Pチャネルトランジスタのゲート電極6およびNチャネルトランジスタのゲート電極7を形成する。次に、Pチャネル及びNチャネル能動領域のシリコン基板表面並びにゲート電極6、7を酸化して膜厚約600Åの二酸化ケイ素膜8を形成する。次に二酸化ケイ素膜8の上に、膜厚約800Åの酸化シリコン膜9を成長させ、さらに、二酸化ケイ素膜10を膜厚5000Å程度気相成長させる。次に第4図のように、フォトリソスト技術を用いて、Pチャ

リコン膜9があるため、不純物のヒ素イオンは注入されない。次に第6図に示すように、第1のN型半導体層12並びにゲート電極7の表面を膜厚1000Å程度酸化して、二酸化ケイ素膜13を形成した後、ゲート電極6、7を絶縁するために、全面に二酸化ケイ素膜14を、膜厚5000Å程度気相成長させる。つぎに、第7図のように、各電極部をとりだすために、フォトリソスト技術を用いて、P型及びN型半導体層11、12上にコンタクト孔15、16を同時に開孔する。このとき、N型半導体層12の上のコンタクト孔16は、少なくとも1つ以上、絶縁分離領域3にまたがって開孔されている。コンタクト孔15は酸化シリコン膜9が、また、コンタクト孔16は、第1のN型半導体層12が露出した状態になっている。

この後、Nチャネル側のN型半導体層の接合部の電気的リークを低減させるために、第1のN型半導体層12と同じ導電性を有するN型不純物、例えばリンを拡散して、第2のN型半導体層17を形成する。このとき、Pチャネル側のコンタ

クト孔15には、窒化シリコン膜9があるため、N型不純物は拡散されない。従って、P型半導体層11の表面にP-N接合が形成されて接続不良になるということはない。

このあと、Pチャンネル側のコンタクト孔15に残された窒化シリコン膜9及び二酸化シリコン膜8を除去してから、第8図に示すように、相互配線用の金属薄膜、例えばアルミを蒸着して、金属配線18を形成すれば、第8図に示す様な相補型MOS半導体装置が得られる。

以上、本発明を一実施例により説明したように、従来、CMOSでは、Nチャンネルトランジスタ側のN型半導体層の接合部リーク電流低減のためにコンタクト開孔部からN型導電性不純物を拡散させる方法をとることができなかつた。従って、コンタクト孔を絶縁領域と絶縁領域の境界に対して、十分マージンをとらなければならず、CMOS半導体装置の小型化の妨げになっていた。しかし、本発明によれば、Pチャンネル絶縁領域が窒化シリコン膜で覆われているため、コンタクト開孔部か

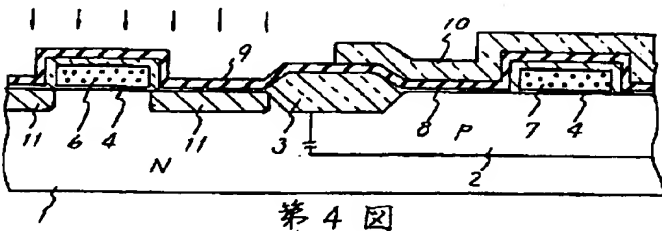
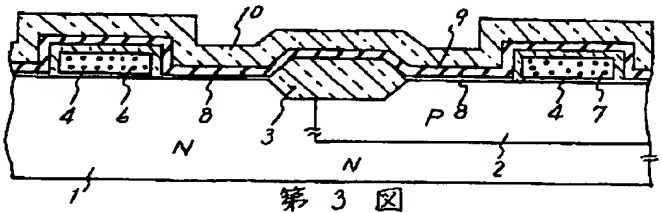
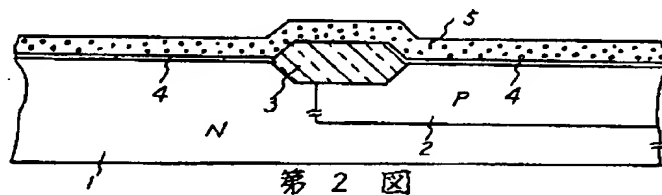
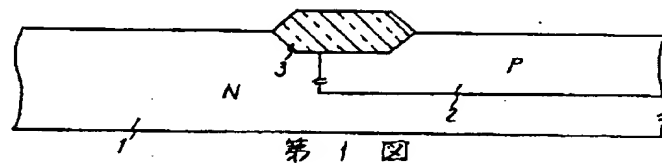
らN型導電性不純物を拡散させる方法をとることが可能になり、従って、Nチャンネル絶縁領域のソース及びドレイン電極部に対するコンタクト孔を、絶縁領域と絶縁領域にまたがって開孔することができる。このため、設計時、装置の寸法を小さくすることができ、素子の集積度を上げることが可能になり、その効果は非常に大きい。

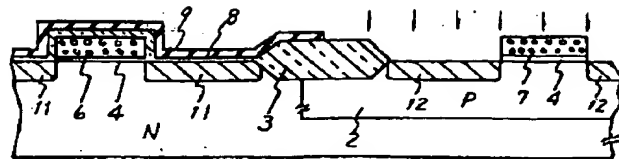
4. 図面の簡単な説明

第1図ないし第8図は本発明の一実施例を製造工程について説明するための製造工程順に示す断面図である。

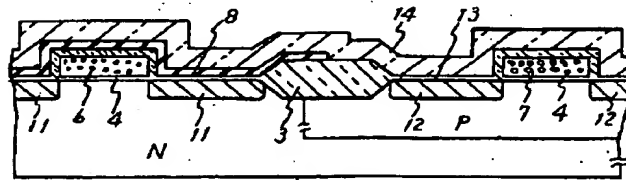
1……N型シリコン基板、2……Pウェル、3……絶縁領域、4……ゲート酸化膜、5……ポリシリコン膜、6、7……ゲート電極、8、10、13、14……二酸化ケイ素膜、9……窒化シリコン膜、11……P型半導体層、12……第1のN型半導体層、17……第2のN型半導体層、18……金属配線。

代理人 弁理士 内 原 晋

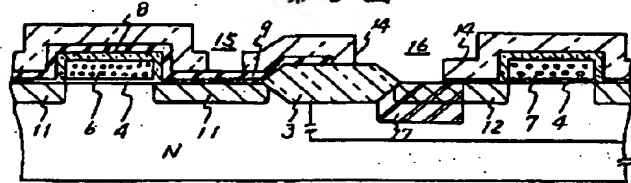




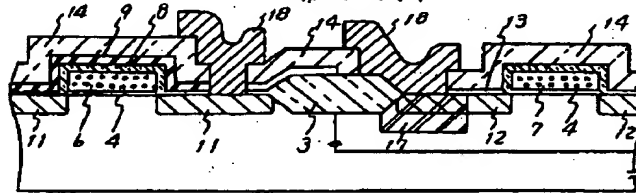
第 5 図



第 6 図



第 7 図



第 8 図